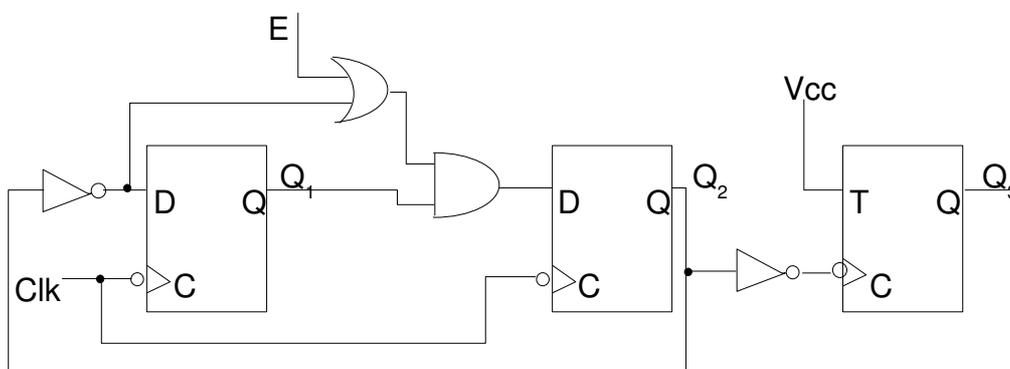


**Examen d'Architecture des Ordinateurs**  
**2004 – 2005 1ère année**  
**Session de janvier**

**Documents autorisés :** Transparents et manuel de cours, notes de cours, à l'exclusion de tout livre.

Les 3 exercices peuvent être traités dans n'importe quel ordre.



### 1 Etude d'un circuit séquentiel

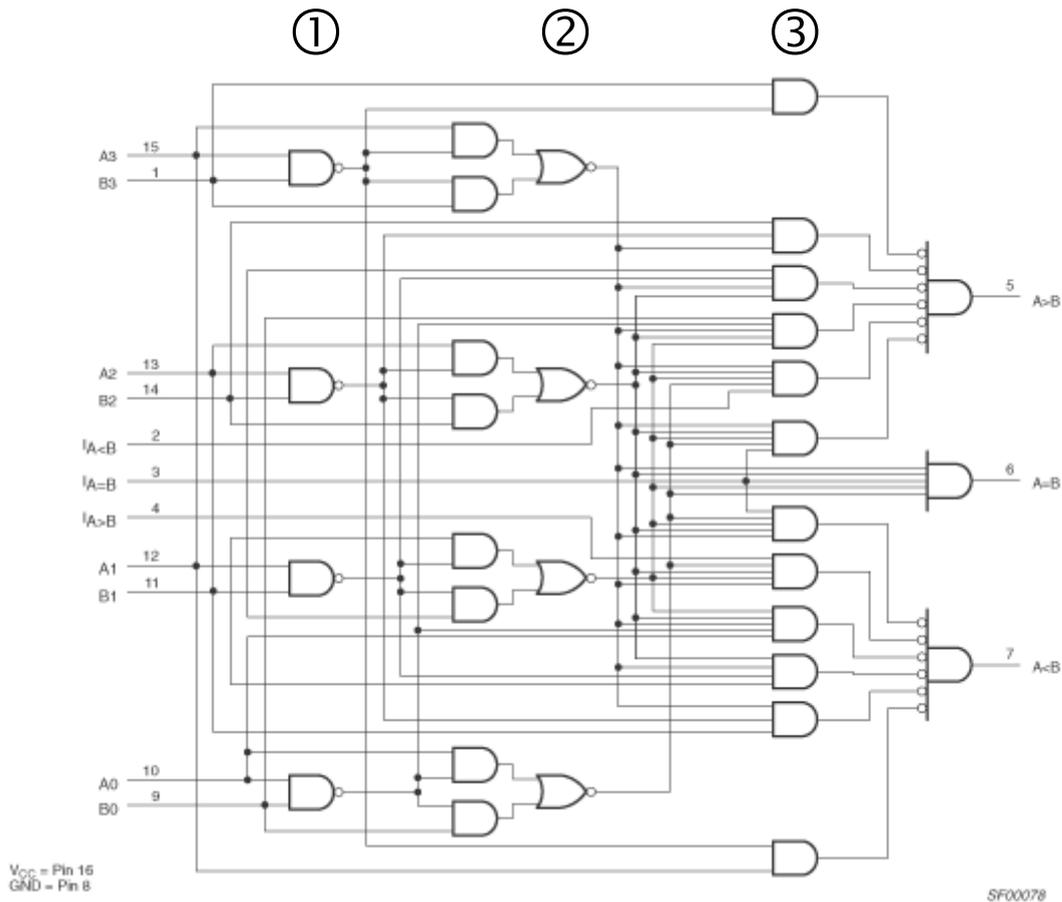
Le circuit suivant constitué de bascules D et T est initialement dans l'état  $Q_1 = Q_2 = Q_3 = 0$ . Il est rappelé que les transitions de ces bascules se font sur le front descendant du signal d'horloge qui leur est appliqué, comme l'indique le symbole o devant l'entrée C.

1. Donner la suite des états possibles des sorties du circuit en fonction de l'état de l'entrée E
2. En examinant les états de chacune des sorties, dire quelle est la fonction de ce circuit

### 2 Etude d'un comparateur

On veut réaliser un circuit permettant de comparer deux mots de 4 bits. Soient A et B ces mots constitués respectivement des bits  $A_k$  et  $B_k$ . Le bit le plus significatif (de poids fort) correspond à  $k=3$  et le bit le moins significatif correspond à  $k=0$

1. Donner les tables de vérité pour les 3 opérations de comparaison de 2 bits  $A_0$  et  $B_0$ . Dessinez le diagramme d'un circuit de logique combinatoire permettant de réaliser ces opérations.
2. Ecrire les équations logiques permettant de déterminer les 3 comparaisons  $(A=B)$ ,  $(A>B)$  et  $(A<B)$  en fonction des comparaisons bit à bit  $(A_k=B_k)$ ,  $(A_k>B_k)$  et  $(A_k<B_k)$  ( $k=0, 1, 2$  ou  $3$ )



3. Le circuit donné sur le schéma ci-dessus est celui du comparateur 74F85 (schéma fourni par Philips Semiconductors).

Les 3 entrées  $I_{A<B}$ ,  $I_{A=B}$  et  $I_{A>B}$  (numérotées 2, 3 et 4) permettent de cascader plusieurs comparateurs pour travailler sur plus de 4 bits.

Montrer que les 2 sorties numérotées 5 et 6 remplissent bien les fonctions  $(A>B)$  et  $(A=B)$ . Pour cela on étudiera les sorties des portes NAND (colonne repérée par ①), NOR (colonne repérée par ②), et AND (colonne repérée par ③).

### 3 Etude d'un compteur

Le schéma 2 est celui du compteur 40193B. Il est construit à l'aide de bascules T déclenchant sur un front descendant. Quand l'entrée  $CP_U$  passe de BAS à HAUT, le compteur est incrémenté. Quand l'entrée  $CP_D$  passe de BAS à HAUT, le compteur est décrémenté. Les deux entrées  $CP_U$  et  $CP_D$  ne doivent pas être dans l'état BAS simultanément.

Répondez aux questions suivantes **en justifiant votre réponse**

1. Quel est le type de ce compteur (synchrone ou asynchrone) ?
2. Quel est le rôle de l'entrée  $\overline{PL}$  (quand elle est mise à un niveau BAS), en utilisation coordonnée avec les entrées  $P_0$  à  $P_3$  ?
3. Quel est l'effet d'un niveau HAUT sur l'entrée MR ? Cet effet dépend-il des conditions sur les autres entrées ?

4. Quelles sont les équations logiques des sorties  $\overline{TC}_U$  et  $\overline{TC}_D$  en fonction des sorties  $O_{0,3}$  et des entrées  $\overline{CP}_U$  et  $\overline{CP}_D$  ? Quels sont les rôles de ces sorties ?

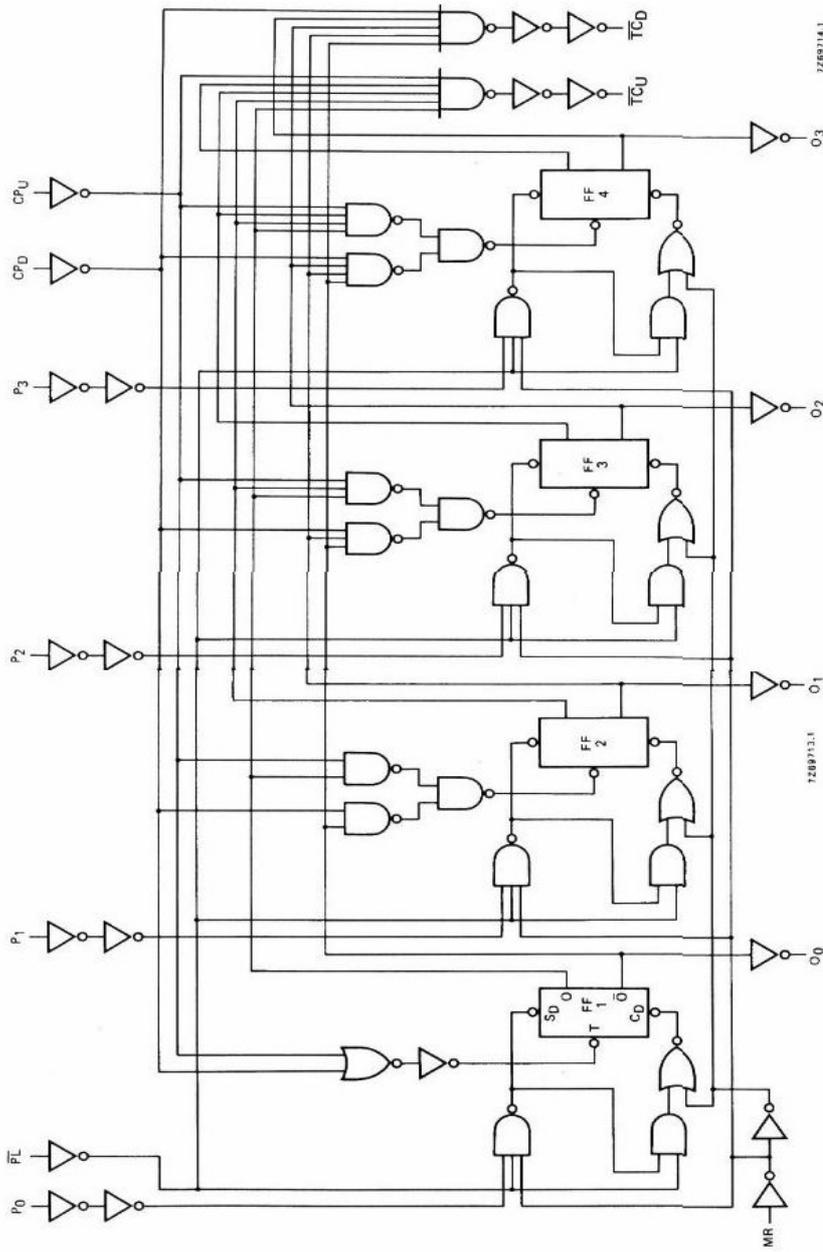


Schéma 2 : compteur 40193B