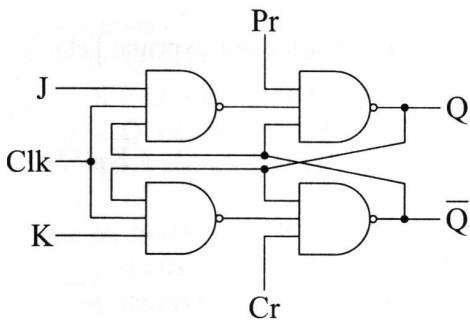


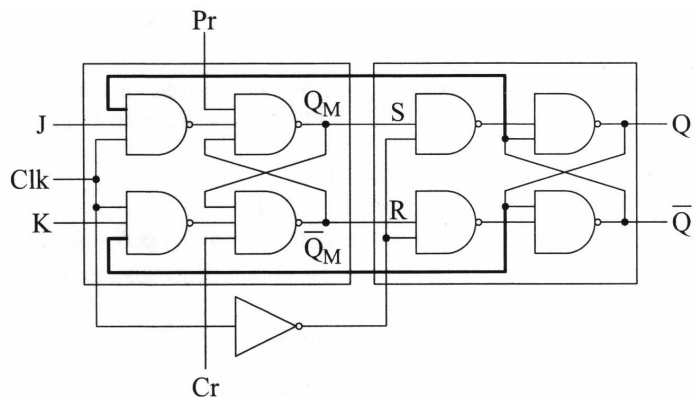
# Logique séquentielle

## I Bascule J-K



1. Montrer qu'une Remise à Un (RAU : Cr=1 et Pr=0) de la bascule J-K ne peut se faire correctement que si  $\bar{K} + \overline{Clk} = 1$
2. Montrer qu'une Remise à Zéro (RAZ : Cr=0 et Pr=1) de la bascule J-K ne peut se faire correctement que si  $\bar{J} + \overline{Clk} = 1$
3. Qu'en concluez vous sur l'usage des entrées asynchrones

## II Bascule J-K maître-esclave

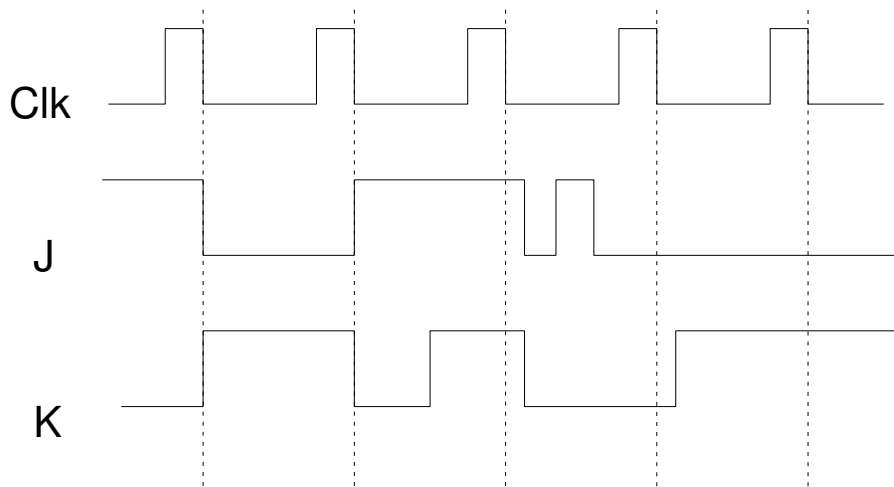


Nous considérons une bascule J-K maître-esclave dans l'état initial  $Q=0$  et  $\bar{Q} = 1$

1. Que devient  $Q_M$  lorsque  $Clk=1$ ,  $J=0$ ,  $K$  étant dans un état quelconque ?
2. Que devient  $Q_M$  si  $J$  passe dans l'état 1 ?
3. Que devient  $Q_M$  si  $J$  revient dans l'état 0 ? Qu'en concluez vous ?

### III Bascule J-K maître-esclave

La figure suivante donne le chronogramme des signaux appliqués aux entrées J, K et Clk d'une bascule J-K maître-esclave. En supposant que la bascule est dans l'état  $Q=0$  avant l'arrivée du premier signal d'horloge, tracer le chronogramme des sorties Q et  $\bar{Q}$  (les entrées asynchrones sont dans l'état  $Pr = Cr = 1$ )



### IV Bascules

1. Vérifier qu'une bascule R-S-T est convertie en bascule de type T si S est connectée à  $\bar{Q}$  et R à Q
2. Vérifier qu'une bascule de type D devient une bascule de type T si D est connectée à  $\bar{Q}$

### V Réalisation d'une bascule

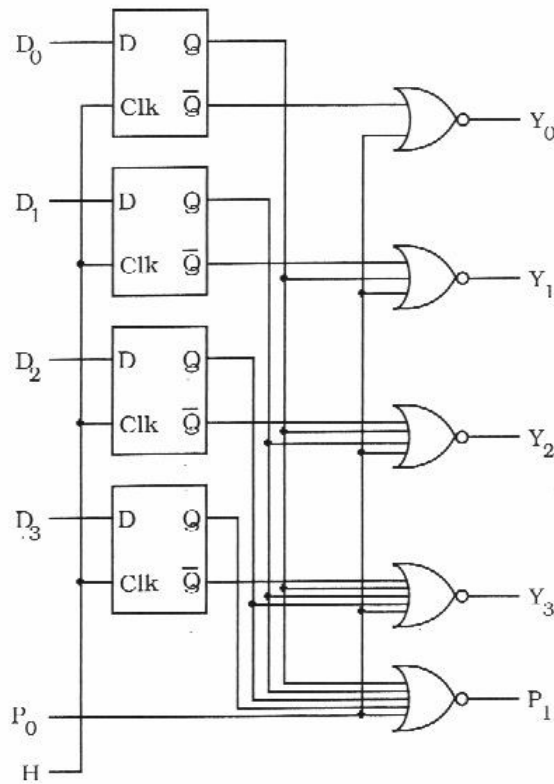
Montrer comment réaliser une bascule A-B dont la table de vérité est donnée ci-dessous, en utilisant une bascule J-K et toute la logique nécessaire

$A_n$	$B_n$	$Q_{n+1}$
0	0	$\bar{Q}_n$
1	0	$Q_n$
0	1	1
1	1	0



### VI Registre prioritaire cascadable

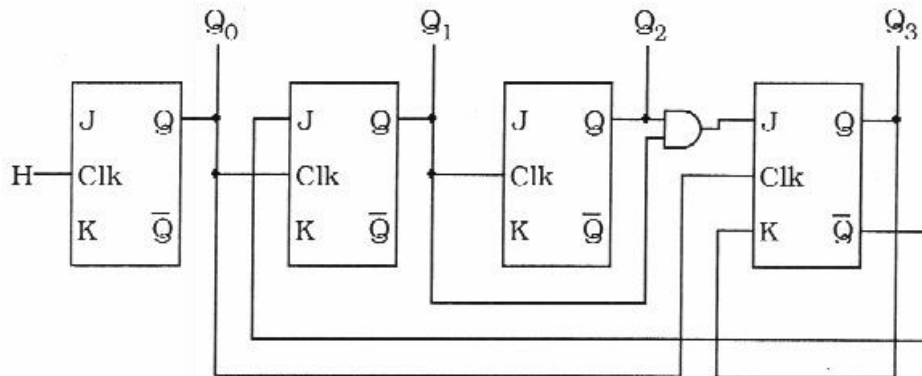
Le schéma suivant représente un registre prioritaire cascadable de 4 bits



1. Posons :  $P_0 = 0$ ,  $D_0 = D_1 = D_3 = 0$  et  $D_2 = 1$ . Vérifier que  $Y_2 = 1$  et que toutes les autres sorties sont à 0.
2. Posons :  $P_0 = 0$ ,  $D_0 = D_1 = 0$  et  $D_2 = D_3 = 1$ . Vérifier que  $Y_2 = 1$  et que toutes les autres sorties sont à 0.
3. Généraliser les résultats précédents en montrant qu'une seule ligne de sortie  $Y_i$  peut être dans l'état 1, celle ci correspondant à l'entrée  $D_i$  de plus bas poids dans l'état 1.
4. Comment cascader deux circuits de ce type pour obtenir un registre prioritaire de 8 bits ?

### VII Etude d'un compteur

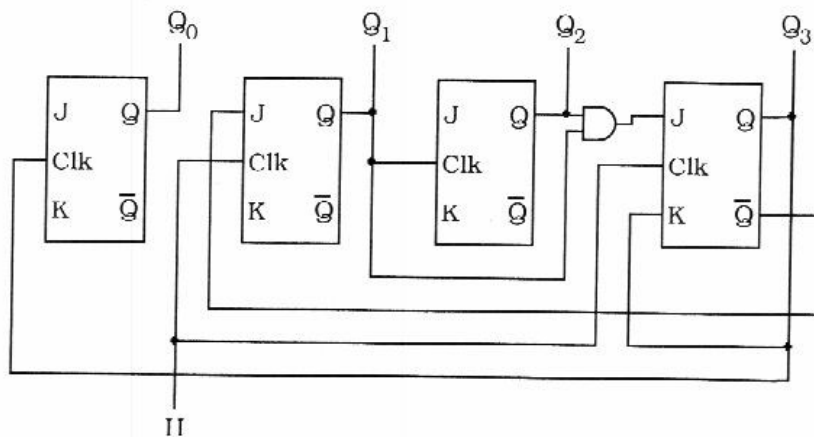
Soit le compteur correspondant au diagramme logique suivant :



1. Ecrire la table de vérité des sorties  $Q_0$ ,  $Q_1$ ,  $Q_2$  et  $Q_3$ , en partant de 0000 après chaque impulsion d'horloge. Quand aucune connexion n'est visible, il faut comprendre que l'entrée correspondante est toujours dans l'état 1. Vérifier qu'il s'agit d'un compteur modulo 10.
2. Comment peut-on utiliser ce système en compteur modulo 5 ?

### VIII Etude d'un compteur

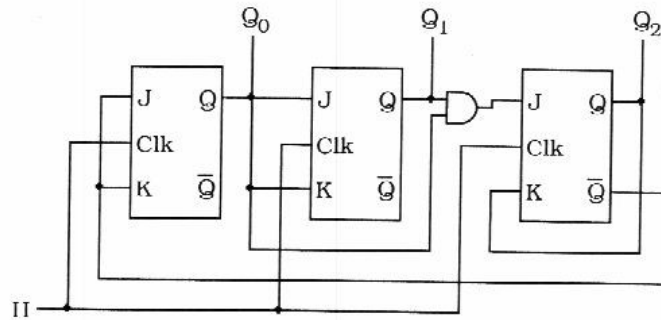
Soit le compteur asynchrone correspondant au diagramme logique suivant :



1. Ecrire la table de vérité des sorties  $Q_0$ ,  $Q_1$ ,  $Q_2$  et  $Q_3$ , en partant de 0000 après chaque impulsion d'horloge. Quand aucune connexion n'est visible, il faut comprendre que l'entrée correspondante est toujours dans l'état 1. Vérifier qu'il s'agit d'un compteur modulo 10.
2. Ce compteur est dit *biquinaire* (deux fois cinq) car la sortie  $Q_0$  ne change d'état que toutes les 5 impulsions. Votre table de vérité doit vérifier cette dénomination.

### IX Etude d'un compteur

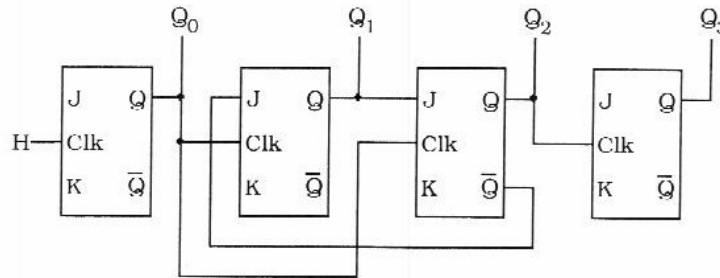
Soit le compteur synchrone correspondant au diagramme logique suivant :



1. Ecrire la table de vérité des sorties  $Q_0$ ,  $Q_1$  et  $Q_2$  en partant de 000 à chaque impulsion de l'horloge.
2. A quoi correspond ce compteur ?

### X Etude d'un compteur

Soit le compteur asynchrone correspondant au diagramme logique suivant :



1. Ecrire, en la justifiant, la table de vérité des sorties  $Q_0$ ,  $Q_1$ ,  $Q_2$  et  $Q_3$  en partant de 0000 après chaque top d'horloge. De quel type de compteur s'agit-il ?
2. Comment peut-on utiliser ce système en compteur modulo 6 ?

### XI Etude d'un compteur

Soit le compteur réalisé avec des bascule T de type maître-esclave correspondant au diagramme logique suivant

1. Pour chacune des bascules, exprimer l'état des entrées asynchrones  $Pr_i$  et  $Cr_i$  en fonction des entrées LOAD et  $E_i$   
Compléter la table de vérité suivante

LOAD	$E_i$	$Pr_i$	$Cr_i$	$Q_i$
0	0			
0	1			
1	0			
1	1			

Quelle est la fonctionnalité associée à l'entrée LOAD ? Dans quel état doit-elle être en fonctionnement normal du compteur ?

2. Donner l'expression logique de l'entrée  $T_i$  de chacune de ces bascules
3. Quel est l'état de chacune de ces entrées  $T_i$  lorsque l'entrée ENABLE du compteur est dans l'état **1** ? Que peut-on en conclure sur la fonctionnalité de cette entrée ENABLE ? Dans quel état doit-elle être en fonctionnement normal du compteur ?
4. En mode de fonctionnement normal, sur quelles transitions du signal d'horloge H se font les changements d'état du compteur ?
5. Lorsque l'entrée U/D est dans l'état **1**, donner la table des transitions du compteur en supposant chaque bascule initialement dans l'état **0**. Déduire quel type de compteur s'agit-il ?
6. Même question quand l'entrée U/D est dans l'état **0**. En déduire la fonctionnalité de l'entrée U/D.
7. Donner l'expression logique de la sortie MaxMin. Pour quelles valeurs du compteur cette sortie est-elle dans l'état **1** ? En déduire son intérêt.