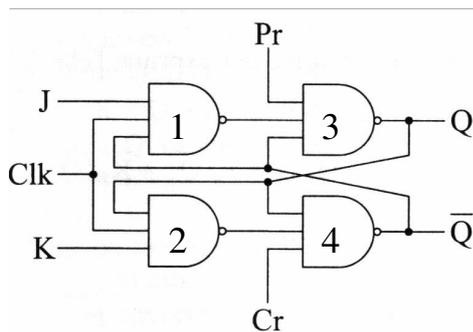


Logique séquentielle

I Bascule J-K



1. Montrer qu'une Remise à Un (RAU : $Cr=1$ et $Pr=0$) de la bascule J-K ne peut se faire correctement que si $\bar{K} + \overline{Clk} = 1$

Que se passerait-il si la condition n'était pas vérifiée ?

L'inverse de la condition $\bar{K} + \overline{Clk} = 1$ est $K \cdot Clk = 1$, et donc on devrait avoir alors $K = Clk = 1$ d'une part, si $Pr = 0$, alors $Q=1$, puisqu'une des entrées de la porte NAND 3 est à 0 d'autre part ($K=Clk=Q=1$) \Rightarrow (la sortie de la porte 2 est à 0) \Rightarrow la sortie de la porte 4 (\bar{Q}) est à 1 les 2 propositions sont incohérentes et conduisent à un état indéterminé lorsque Pr revient à 1 (fonctionnement normal de la bascule)

Il faut donc avoir $\bar{K} + \overline{Clk} = 1$

2. Montrer qu'une Remise à Zéro (RAZ : $Cr=0$ et $Pr=1$) de la bascule J-K ne peut se faire correctement que si $\bar{J} + \overline{Clk} = 1$

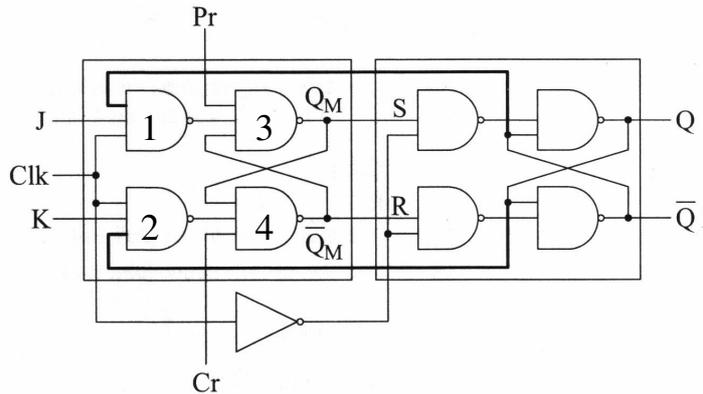
un raisonnement symétrique du précédent conduit à la nécessité de $\bar{J} + \overline{Clk} = 1$ pour pouvoir faire correctement une remise à Zéro

3. Qu'en concluez vous sur l'usage des entrées asynchrones

les entrées asynchrones Cr et Pr ne peuvent être utilisées de façon déterministe que quand $Clk = 0$

II Bascule J-K maître-esclave

Nous considérons une bascule J-K maître-esclave dans l'état initial $Q=0$ et $\bar{Q}=1$



Compte tenu de l'état initial de la bascule ($Q=0$), on doit avoir $Q_M=0$ avant l'arrivée du signal d'horloge (l'état de Q est celui qu'avait Q_M avant l'arrivée du tick d'horloge précédent). De plus, en fonctionnement normal, $Pr=Cr=1$.

1. Que devient Q_M lorsque $Clk=1$, $J=0$, K étant dans un état quelconque ?

Si $J=0$, la sortie de la porte NAND 1 est forcément 1

toutes les entrées de la porte NAND 3 sont à 1 \Rightarrow la sortie de la porte 3 est à 0 et par conséquent :

$$(J=0, Pr=1, \overline{Q_M}=1) \Rightarrow Q_M=0 \text{ et l'état est stable}$$

2. Que devient Q_M si J passe dans l'état 1 ?

pour que le changement de valeur de J soit visible pour la première partie de la bascule, il faut que Clk soit à 1.

($J=1, Clk=1, \overline{Q}=1$) : les trois entrées de la porte NAND 1 sont à 1, sa sortie est donc à 0 $\Rightarrow Q_M=1$ et $\overline{Q_M}=0$ (les 3 entrées de la porte 4 sont à 1). L'état est stable.

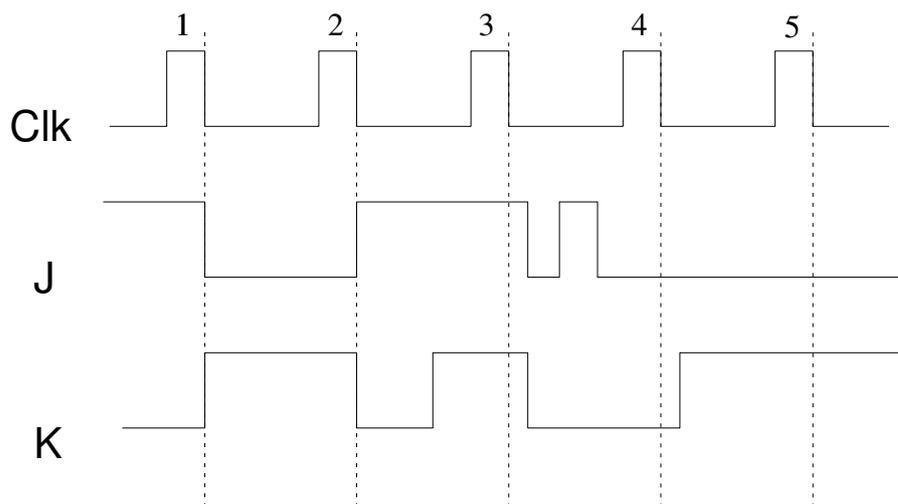
3. Que devient Q_M si J revient dans l'état 0 ? Qu'en concluez vous ?

$J=0$ mais $\overline{Q_M}=0 \Rightarrow Q_M=1$ et l'état est stable

Q_M ne revient donc pas dans son état initial. Nous pouvons en conclure que les entrées J (et K) doivent être stabilisées avant l'arrivée du signal d'horloge et ne pas varier pendant la durée de l'impulsion

III Bascule J-K maître-esclave

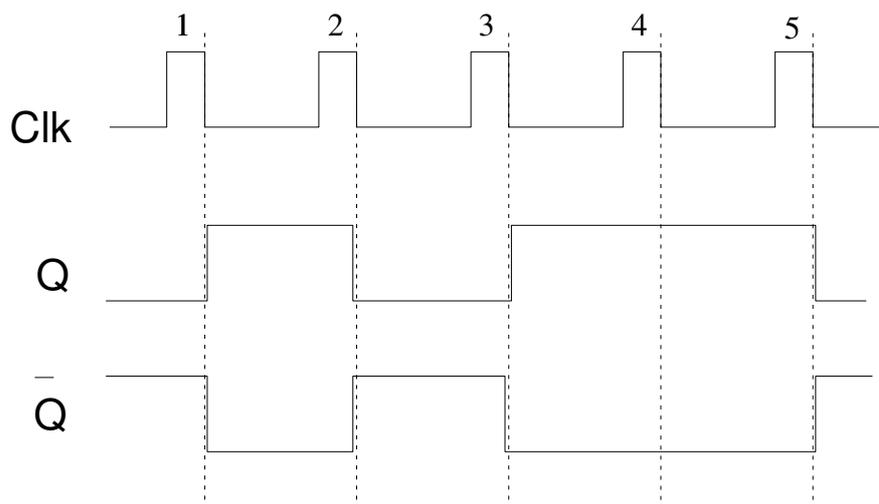
La figure suivante donne le chronogramme des signaux appliqués aux entrées J , K et Clk d'une bascule J-K maître-esclave. En supposant que la bascule est dans l'état $Q=0$ avant l'arrivée du premier signal d'horloge, tracer le chronogramme des sorties Q et \overline{Q} (les entrées asynchrones sont dans l'état $Pr = Cr = 1$)



Nous pouvons écrire la table de vérité à chaque front descendant de l'impulsion horloge :

n	J_n	K_n	Q_n	Q_{n+1}
1	1	0	0	1
2	0	1	1	0
3	1	1	0	1
4	0	0	1	1
5	0	1	1	0

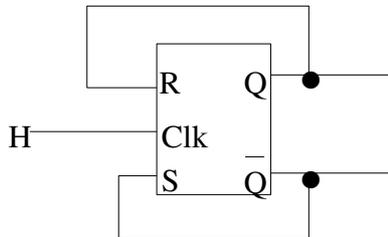
ce qui donne



IV Bascules

1. Vérifier qu'une bascule R-S-T est convertie en bascule de type T si S est connectée à \bar{Q} et R à Q

Le montage proposé est

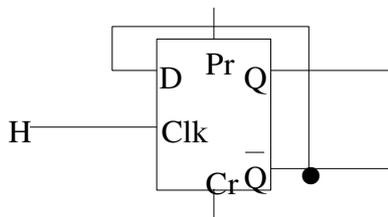


A partir de la table de vérité de la bascule R-S, nous pouvons écrire

Q_n	R	S	Q_{n+1}
0	0	1	1
1	1	0	0

on retrouve la relation caractéristique d'une bascule T : $Q_{n+1} = \bar{Q}_n$

2. Vérifier qu'une bascule de type D devient une bascule de type T si D est connectée à \bar{Q}
le montage est



La table de vérité est

Q_n	D	Q_{n+1}
0	1	1
1	0	0

on retrouve encore $Q_{n+1} = \bar{Q}_n$

V Réalisation d'une bascule

Montrer comment réaliser une bascule A-B dont la table de vérité est donnée ci-dessous, en utilisant une bascule J-K et toute la logique nécessaire

A_n	B_n	Q_{n+1}
0	0	\bar{Q}_n
1	0	Q_n
0	1	1
1	1	0

A partir de la table de vérité de la bascule A-B, nous pouvons définir les valeurs que doivent avoir les entrées J et K pour fournir le résultat attendu :

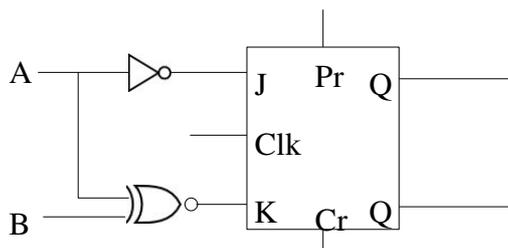
A_n	B_n	Q_{n+1}	J_n	K_n
0	0	\bar{Q}_n	1	1
1	0	Q_n	0	0
0	1	1	1	0
1	1	0	0	1

On en déduit les expressions de J et K en fonction de A et B :

$$J = \bar{A} \cdot \bar{B} + \bar{A} \cdot B = \bar{A}$$

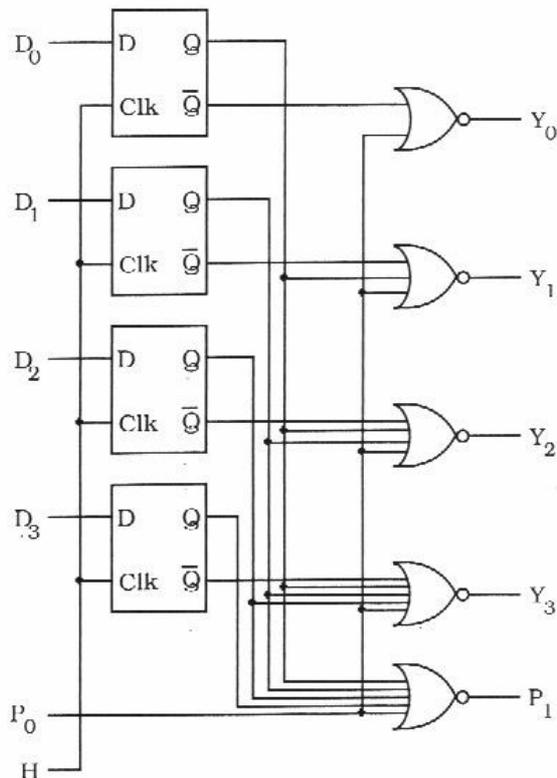
$$K = \bar{A} \cdot B + A \cdot B = A \oplus B$$

d'où le logigramme



VI Registre prioritaire cascadable

Le schéma suivant représente un registre prioritaire cascadable de 4 bits



Après un signal de chargement donné par H, nous retrouvons les entrées D sur les sorties Q de chaque bascule D. compte tenu de la logique combinatoire définissant les sorties Y à partir des sorties Q et \bar{Q} de chaque bascule, nous pouvons écrire :

$$\begin{aligned}
 Y_0 &= \bar{P}_0 D_0 \\
 Y_1 &= \bar{P}_0 \bar{D}_0 D_1 \\
 Y_2 &= \bar{P}_0 \bar{D}_0 \bar{D}_1 D_2 \\
 Y_3 &= \bar{P}_0 \bar{D}_0 \bar{D}_1 \bar{D}_2 D_3 \\
 P_1 &= \bar{P}_0 \bar{D}_0 \bar{D}_1 \bar{D}_2 \bar{D}_3
 \end{aligned}$$

1. Posons : $P_0 = 0, D_0 = D_1 = D_3 = 0$ et $D_2 = 1$. Vérifier que $Y_2 = 1$ et que toutes les autres sorties sont à 0.

A l'aide des relations précédentes, on calcule immédiatement: $P_1=0, Y_0 = Y_1 = Y_3 = 0$ et $Y_2 = 1$

2. Posons : $P_0 = 0, D_0 = D_1 = 0$ et $D_2 = D_3 = 1$. Vérifier que $Y_2 = 1$ et que toutes les autres sorties sont à 0.

On obtient encore $P_1=0, Y_0 = Y_1 = Y_3 = 0$ et $Y_2 = 1$

3. Généraliser les résultats précédents en montrant qu'une seule ligne de sortie Y_i peut être dans l'état 1, celle ci correspondant à l'entrée D_i de plus bas poids dans l'état 1.

Supposons que :

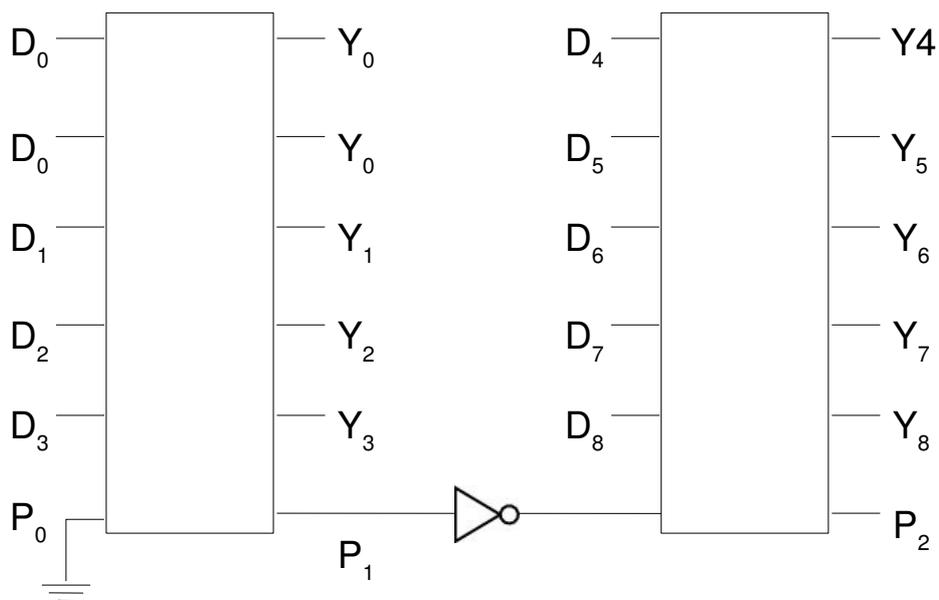
$$\begin{cases} P_0 = 0 \\ D_i = 0 \\ D_j = 0 \quad \forall j < i \\ D_k : \text{quelconque} \quad \forall k > i \end{cases}$$

alors, compte tenu des relations liant les entrées aux sorties, on a

$$\begin{cases} P_1 = 0 \\ D_i = 0 \\ Y_j = 0 \quad \forall j < i \\ Y_k = 0 \quad \forall k > i \end{cases}$$

4. Comment cascader deux circuits de ce type pour obtenir un registre prioritaire de 8 bits ?

Si toutes les entrées sont à 0, seule P_1 est à 1. D'autre part, si P_0 est à 1, toutes les sorties sont à 0. Ceci suggère le montage suivant :

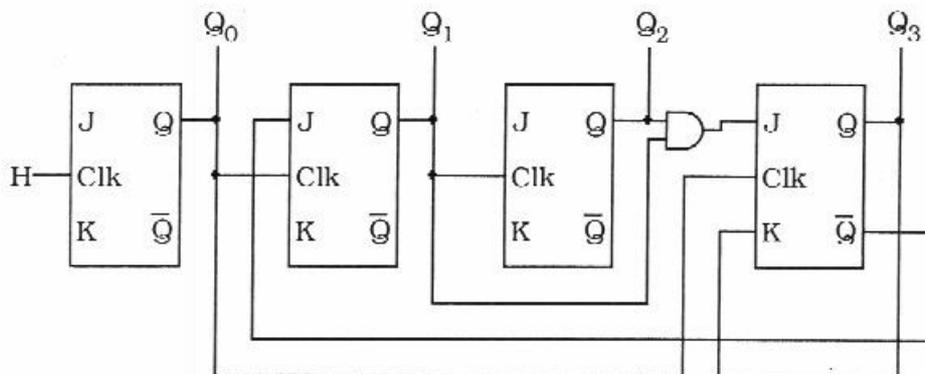


Si une des quatre premières entrées au moins est à 1, celle d'ordre le plus bas est repérée par la sortie Y correspondante. P_1 étant à 0, alors le second registre est bloqué avec toutes ses sorties à 0

Si aucune des quatre premières entrées n'est à 1, les quatre sorties Y correspondantes sont à 0 et $P_1=1$. Le second registre peut alors jouer son rôle et repérer l'entrée de poids le plus bas dans l'état 1.

VII Etude d'un compteur

Soit le compteur correspondant au diagramme logique suivant (les bascules J-K maître-esclave effectuent leur transition quand le signal d'horloge passe de 1 à 0) :



1. Ecrire la table de vérité des sorties Q_0 , Q_1 , Q_2 et Q_3 , en partant de 0000 après chaque impulsion d'horloge. Quand aucune connexion n'est visible, il faut comprendre que l'entrée correspondante est toujours dans l'état 1. Vérifier qu'il s'agit d'un compteur modulo 10.

La bascule 0 ayant ses entrées J et K en permanence à 1 change d'état à chaque impulsion de l'horloge H. Les bascules 1 et 3 sont commandées par les transitions $1 \rightarrow 0$ de Q_0 , les états des entrées J et K à prendre en compte étant ceux qui étaient présents quand $Q_0 = 1$. La bascule 2 ayant ses deux entrées à 1 va changer d'état à chaque transition $1 \rightarrow 0$ de la sortie Q_1 .

On part de la situation initiale :

Q_0	J_1	K_1	Q_1	Q_2	J_3	K_3	Q_3	$Q_3Q_2Q_1Q_0$
0			0	0			0	0000

On en déduit les valeurs des entrées J et K pour les bascules 1 et 3 à prendre en compte pour le top d'horloge suivant :

Q_0	J_1	K_1	Q_1	Q_2	J_3	K_3	Q_3	$Q_3Q_2Q_1Q_0$
0			0	0			0	0000
	1	1			0	0		

On en déduit les nouvelles valeurs des sorties Q :

Q_0	J_1	K_1	Q_1	Q_2	J_3	K_3	Q_3	$Q_3Q_2Q_1Q_0$
0			0	0			0	0000
1	1	1	0	0	0	0	0	0001

Les nouvelles valeurs des sorties Q permettent de calculer les valeurs des entrées J et K

Q ₀	J ₁	K ₁	Q ₁	Q ₂	J ₃	K ₃	Q ₃	Q ₃ Q ₂ Q ₁ Q ₀
0			0	0			0	0000
1	1	1	0	0	0	0	0	0001
	1	1			0	0		

Q₀ passe de 1 à 0, provoquant le changement d'état de Q₁. On a les nouvelles valeurs des sorties Q :

Q ₀	J ₁	K ₁	Q ₁	Q ₂	J ₃	K ₃	Q ₃	Q ₃ Q ₂ Q ₁ Q ₀
0			0	0			0	0000
1	1	1	0	0	0	0	0	0001
0	1	1	1	0	0	0	0	0010

et ainsi de suite, d'où la table de vérité complète :

Q ₀	J ₁	K ₁	Q ₁	Q ₂	J ₃	K ₃	Q ₃	Q ₃ Q ₂ Q ₁ Q ₀	Q ₃ Q ₂ Q ₁
0			0	0			0	0000	000
1	1		0	0			0	0001	000
0	1	1	1	0	0	0	0	0010	001
1			1	0			0	0011	001
0	1	1	0	1	0	0	0	0100	010
1			0	1			0	0101	010
0	1	1	1	1	0	0	0	0110	011
1			1	1			0	0111	011
0	1	1	0	0	1	0	1	1000	100
1			0				1	1001	100
0	0	1	0	0	0	1	0	0000	000

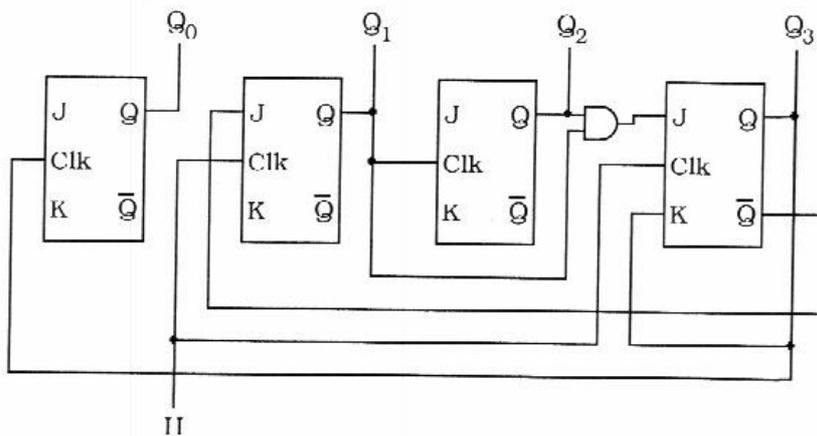
On vérifie que les sorties du compteur décrivent de manière cyclique les chiffres de 0 à 9

2. Comment peut-on utiliser ce système en compteur modulo 5 ?

On peut obtenir un compteur modulo 5 de fréquence deux fois plus faible en n'utilisant que les sorties Q₃, Q₂ et Q₁.

VIII Etude d'un compteur

Soit le compteur asynchrone correspondant au diagramme logique suivant :



Les bascules 1 et 3 sont commandées par le signal d'horloge H. Parce que ses 2 entrées J et K sont à 1, la bascule 2 change d'état à chaque transition 1 → 0 de la sortie Q₁. De même la bascule 0 qui a aussi ses deux entrées J et K à 1 change d'état à chaque transition 1 → 0 de la sortie Q₃.

1. Ecrire la table de vérité des sorties Q₀, Q₁, Q₂ et Q₃, en partant de 0000 après chaque impulsion d'horloge. Quand aucune connexion n'est visible, il faut comprendre que l'entrée correspondante est toujours dans l'état 1. Vérifier qu'il s'agit d'un compteur modulo 10.

Pour les bascules 1 et 3, les valeurs de J et K à prendre en compte sont celles de l'état précédent du compteur

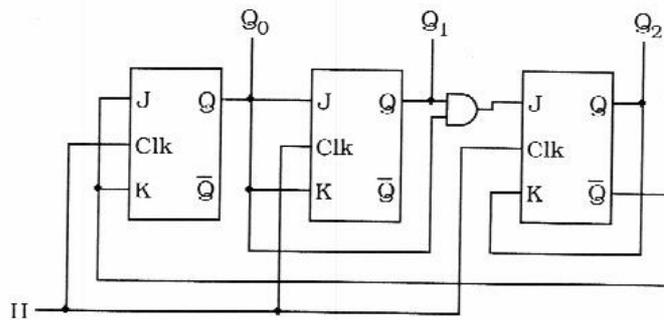
Q ₀	J ₁ (= $\overline{Q_3}$)	K ₁	Q ₁	Q ₂	J ₃ (= Q ₁ .Q ₂)	K ₃ (= Q ₃)	Q ₃	Q ₃ Q ₂ Q ₁ Q ₀
0			0	0			0	0000
0	1	1	1	0	0	0	0	0010
0	1	1	0	1	0	0	0	0100
0	1	1	1	1	0	0	0	0110
0	1	1	0	0	1	0	1	1000
1	0	1	0	0	0	1	0	0001
1	1	1	1	0	0	0	0	0011
1	1	1	0	1	0	0	0	0101
1	1	1	1	1	0	0	0	0111
1	1	1	0	0	1	0	1	1001
0	0	1	0	0	0	1	0	0000

2. Ce compteur est dit "biquinaire" (deux fois cinq) car la sortie Q₀ ne change d'état que toutes les 5 impulsions. Votre table de vérité doit vérifier cette dénomination.

Nous obtenons un compteur modulo 10 décrivant la séquence 0,2,4,6,8,1,3,5,7,9,0

IX Etude d'un compteur

Soit le compteur synchrone correspondant au diagramme logique suivant :



1. Ecrire la table de vérité des sorties Q_0 , Q_1 et Q_2 en partant de 000 à chaque impulsion de l'horloge.

On a

$$\begin{cases} J_0 = K_0 = \overline{Q_2} \\ J_1 = K_1 = Q_0 \\ J_2 = Q_0 Q_1 \\ K_2 = Q_2 \end{cases}$$

On peut alors écrire la table de vérité

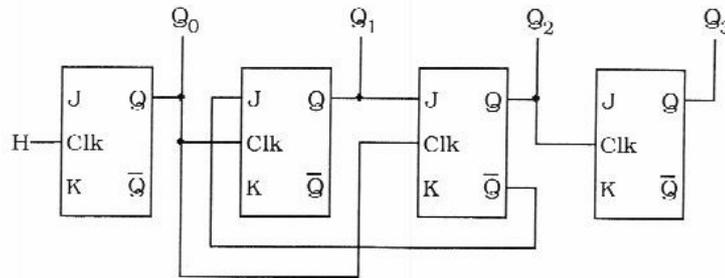
J_0	K_0	Q_0	J_1	K_1	Q_1	J_2	K_2	Q_2	$Q_2Q_1Q_0$
		0			0			0	000
1	1	1	0	0	0	0	0	0	001
1	1	0	1	1	1	0	0	0	010
1	1	1	0	0	1	0	0	0	011
1	1	0	1	1	0	1	0	1	100
0	0	0	0	0	0	0	1	0	000

2. A quoi correspond ce compteur ?

C'est un compteur modulo 5 qui décrit la séquence 0, 1, 2, 3, 4.

X Etude d'un compteur

Soit le compteur asynchrone correspondant au diagramme logique suivant :



1. Ecrire, en la justifiant, la table de vérité des sorties Q_0 , Q_1 , Q_2 et Q_3 en partant de 0000 après chaque top d'horloge. De quel type de compteur s'agit-il ?

Leurs entrées J et K étant à 1, les bascules 0 et 3 changeront d'état à chaque réception d'un signal d'horloge valide (horloge H pour 0, transition $1 \rightarrow 0$ de Q_2 pour 3)

$$J_1 = \overline{Q_2}$$

$$J_2 = Q_1$$

D'où la table de vérité :

H	Q_3	Q_2	Q_1	Q_0	$J_1 K_1$	$J_2 K_2$	
0	0	0	0	0			0
1	0	0	0	1	1 1	0 1	1
2	0	0	1	0	1 1	0 1	2
3	0	0	1	1	1 1	1 1	3
4	0	1	0	0	1 1	1 1	4
5	0	1	0	1	1 1	0 1	5
6	1	0	0	0	0 1	0 1	8
7	1	0	0	1	1 1	0 1	9
8	1	0	1	0	1 1	1 1	10
9	1	0	1	1	1 1	1 1	11
10	1	1	0	0	1 1	1 1	12
11	1	1	0	1	0 1	0 1	13
12	0	0	0	0	0 1	0 1	0

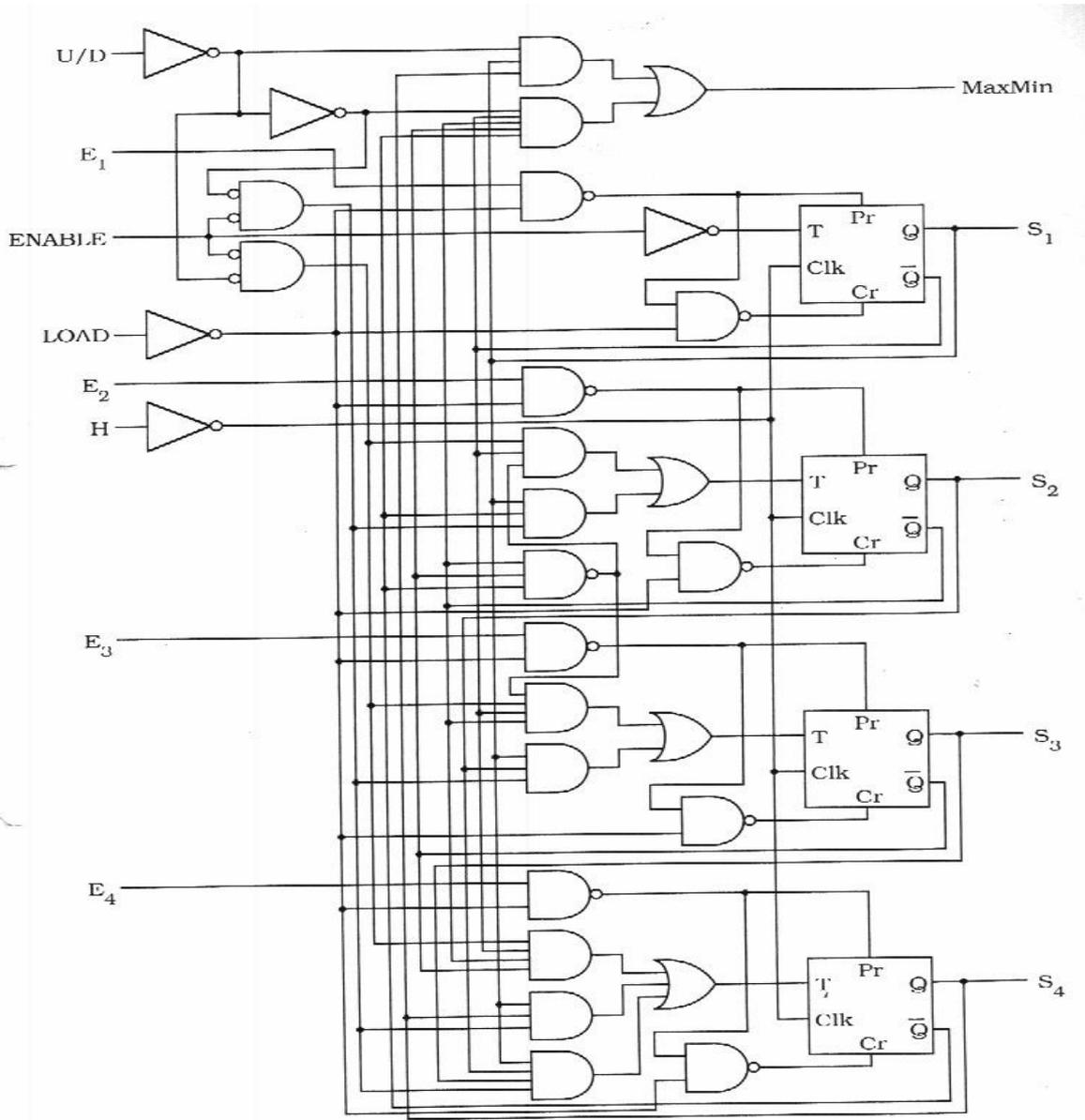
C'est un compteur asynchrone modulo 12 décrivant la séquence : 0, 1, 2, 3, 4, 5, 8, 9, 10, 11, 12, 13

2. Comment peut-on utiliser ce système en compteur modulo 6 ?

Il suffit de n'utiliser les sorties $Q_2 Q_1 Q_0$ pour avoir un compteur modulo 6 décrivant la séquence 0, 1, 2, 3, 4, 5

XI Etude d'un compteur

Soit le compteur réalisé avec des bascule T de type maître-esclave correspondant au diagramme logique suivant



1. Pour chacune des bascules, exprimer l'état des entrées asynchrones Pr_i et Cr_i en fonction des entrées $LOAD$ et E_i

$$Pr_1 = \overline{LOAD} \cdot E_1 = \overline{LOAD} + \overline{E_1}$$

$$Cr_i = \overline{Pr_i} \cdot \overline{LOAD} = \overline{LOAD} + Pr_i = \overline{LOAD} + E_i$$

Compléter la table de vérité suivante

LOAD	E_i	Pr_i	Cr_i	Q_i
0	0	1	0	0
0	1	0	1	1
1	0	1	1	X
1	1	1	1	X

Quelle est la fonctionnalité associée à l'entrée LOAD ? Dans quel état doit-elle être en fonctionnement normal du compteur ?

On a donc $Q_i = E_i$ lorsque LOAD = 0. Lorsque l'entrée LOAD est à 0, le compteur est chargé avec les valeurs présentes sur les lignes E_i

En mode de fonctionnement normal, on doit avoir $Pr = Cr = 1$ sur chacune des entrées, ce qui correspond à LOAD = 1

2. Donner l'expression logique de l'entrée T_i de chacune de ces bascules

$$T_1 = \overline{\text{ENABLE}}$$

$$T_2 = (\overline{\text{ENABLE}} \cdot U/D) \cdot \overline{Q_1} \cdot (\overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_4}) + (\overline{\text{ENABLE}} \cdot \overline{U/D}) \\ = \overline{\text{ENABLE}} \cdot \{ [U/D \cdot \overline{Q_1} \cdot (Q_2 + Q_3 + Q_4)] + (\overline{U/D} \cdot Q_1 \cdot \overline{Q_4}) \}$$

$$T_3 = (\overline{\text{ENABLE}} \cdot U/D) \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot (Q_2 + Q_3 + Q_4) + (\overline{\text{ENABLE}} \cdot \overline{U/D} \cdot Q_1 \cdot Q_2) \\ = \overline{\text{ENABLE}} \cdot \{ [U/D \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot (Q_3 + Q_4)] + (\overline{U/D} \cdot Q_1 \cdot \overline{Q_2}) \}$$

$$T_4 = (\overline{\text{ENABLE}} \cdot U/D) \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} + (\overline{\text{ENABLE}} \cdot \overline{U/D} \cdot Q_1 \cdot Q_4 + Q_1 \cdot Q_2 \cdot Q_3) \\ = \overline{\text{ENABLE}} \cdot \{ [U/D \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3}] + [\overline{U/D} \cdot Q_1 \cdot (Q_2 \cdot Q_3 + Q_4)] \}$$

3. Quel est l'état de chacune de ces entrées T_i lorsque l'entrée ENABLE du compteur est dans l'état "1" ? Que peut-on en conclure sur la fonctionnalité de cette entrée ENABLE ? Dans quel état doit-elle être en fonctionnement normal du compteur ?

Lorsque ENABLE = "1", alors $T_1 = T_2 = T_3 = T_4 = "0"$

Chaque bascule reste dans le même état et est donc insensible à la réception du signal d'horloge. Le compteur est bloqué. en fonctionnement normal, on doit donc avoir ENABLE = "0"

4. En mode de fonctionnement normal, sur quelles transitions du signal d'horloge H se font les changements d'état du compteur ?

Le front sur lequel déclenchent les bascules T n'est pas précisé sur le dessin. On peut donc supposer qu'il s'agit du front descendant. L'entrée Clk de chacune des bascules étant reliée à \overline{H} les changements d'état du compteur se produisent sur les transitions $1 \rightarrow 0$ de \overline{H} donc sur les transitions $0 \rightarrow 1$ de l'horloge H.

5. Lorsque l'entrée U/D est dans l'état "1", donner la table des transitions du compteur en supposant

chaque bascule initialement dans l'état "0". De quel type de compteur s'agit-il ?

Supposons que l'entrée U/D soit dans l'état "1". Les relations définissant les T_i deviennent :

$$T_1 = 1$$

$$T_2 = \bar{Q}_1 \cdot (Q_2 + Q_3 + Q_4)$$

$$T_3 = \bar{Q}_1 \cdot \bar{Q}_2 \cdot (Q_3 + Q_4)$$

$$T_4 = \bar{Q}_1 \cdot \bar{Q}_2 \cdot \bar{Q}_3$$

La table de vérité est alors :

T ₄	T ₃	T ₂	Q ₄	Q ₃	Q ₂	Q ₁	Compteur	MaxMin
			0	0	0	0	0	1
1	0	0	1	0	0	1	9	0
0	0	0	1	0	0	0	8	0
1	1	1	0	1	1	1	7	0
0	0	0	0	1	1	0	6	0
0	0	1	0	1	0	1	5	0
0	0	0	0	1	0	0	4	0
0	1	1	0	0	1	1	3	0
0	0	0	0	0	1	0	2	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	1

Il s'agit d'un compteur modulo 10 opérant en mode décroissant.

6. Même question quand l'entrée U/D est dans l'état 0. En déduire la fonctionnalité de l'entrée U/D.

$$T_1 = 1$$

$$T_2 = Q_1 \cdot \bar{Q}_4$$

$$T_3 = Q_1 \cdot Q_2$$

$$T_4 = Q_1 \cdot (Q_2 \cdot Q_3 + Q_4)$$

La table de vérité est alors :

T ₄	T ₃	T ₂	Q ₄	Q ₃	Q ₂	Q ₁	Compteur	MaxMin
			0	0	0	0	0	0
0	0	0	0	0	0	1	1	0
0	0	1	0	0	1	0	2	0
0	0	0	0	0	1	1	3	0
0	1	1	0	1	0	0	4	0
0	0	0	0	1	0	1	5	0
0	0	1	0	1	1	0	6	0
0	0	0	0	1	1	1	7	0
1	1	1	1	0	0	0	8	0
0	0	0	1	0	0	1	9	1
1	0	0	0	0	0	0	0	0

Il s'agit d'un compteur modulo 10 fonctionnant en mode croissant.

L'entrée U/D détermine le sens de fonctionnement du compteur.

7. Donner l'expression logique de la sortie MaxMin. Pour quelles valeurs du compteur cette sortie est-elle dans l'état 1? En déduire son intérêt.

$$\text{MaxMin} = U/D \cdot (\overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot \overline{Q_4}) + \overline{U/D} \cdot (Q_1 \cdot Q_4)$$

Quand U/D = "1" (mode décompteur), Max Min vaut 1 uniquement quand le compteur est à 0 (valeur minimale).

Quand U/D = "0" (mode compteur), MaxMin vaut "1" uniquement quand le compteur est à 9 (valeur maximale).